



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0008449
Application Number

출원년월일 : 2003년 02월 11일
Date of Application FEB 11, 2003

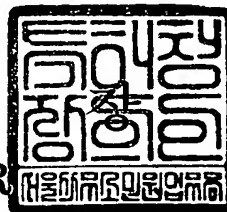
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0020
【제출일자】	2003.02.11
【국제특허분류】	H01L
【발명의 명칭】	대칭적인 레이아웃 구조를 갖는 연배열 인쇄 회로 기판
【발명의 영문명칭】	Array printed circuit board having symmetric layout
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	박창용
【성명의 영문표기】	PARK, Chang Yong
【주민등록번호】	700515-1447428
【우편번호】	330-090
【주소】	충청남도 천안시 쌍용동 선경 해누리 아파트 107-2002
【국적】	KR
【발명자】	
【성명의 국문표기】	김병만
【성명의 영문표기】	KIM, Byung Man
【주민등록번호】	581208-1010124

【우편번호】	330-090
【주소】	충청남도 천안시 쌍용동 쌍용모란아파트 2-602
【국적】	KR
【발명자】	
【성명의 국문표기】	최종수
【성명의 영문표기】	CHOI, Jong Soo
【주민등록번호】	621021-1052210
【우편번호】	140-013
【주소】	서울특별시 용산구 한강로3가 40-422
【국적】	KR
【발명자】	
【성명의 국문표기】	천광호
【성명의 영문표기】	CHUN, Kwang Ho
【주민등록번호】	751017-1123115
【우편번호】	336-030
【주소】	충청남도 아산시 권곡동 청솔아파트 104-403
【국적】	KR
【발명자】	
【성명의 국문표기】	유세형
【성명의 영문표기】	RYU, Se Hyung
【주민등록번호】	721009-1478327
【우편번호】	330-767
【주소】	충청남도 천안시 신방동 성지새마을아파트 206-1803
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원

1020030008449

출력 일자: 2003/9/25

【우선권주장료】	0	건	0	원
【심사청구료】	4	항	237,000	원
【합계】	266,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명의 연배열 인쇄 회로 기판은, 복수개의 단위 인쇄 회로 기판들이 제1 방향으로 나란하게 연결되고, 각각의 단위 인쇄 회로 기판들의 양 표면 위에는 레이아웃이 서로 다른 전면 칩 부착 영역과 후면 칩 부착 영역이 구비된 구조를 갖는데, 특히 단위 인쇄 회로 기판의 일 표면 위에 전면 칩 부착 영역과 후면 칩 부착 영역이 교대로 배치되며, 단위 인쇄 회로 기판에서의 전면 칩 부착 영역과 후면 칩 부착 영역의 배치가 인접한 다른 단위 인쇄 회로 기판에서의 전면 칩 부착 영역과 후면 칩 부착 영역의 배치와 상호 대칭이 되도록 이루어진다.

【대표도】

도 3

【명세서】

【발명의 명칭】

대칭적인 레이아웃 구조를 갖는 연배열 인쇄 회로 기판(Array printed circuit board having symmetric layout)

【도면의 간단한 설명】

도 1은 종래의 연배열 인쇄 회로 기판의 전면을 나타내 보인 도면이다.

도 2는 종래의 연배열 인쇄 회로 기판의 후면을 나타내 보인 도면이다.

도 3은 본 발명의 일 실시예에 따른 연배열 인쇄 회로 기판을 나타내 보인 도면이다.

도 4는 본 발명의 다른 실시예에 따른 연배열 인쇄 회로 기판을 나타내 보인 도면이다.

도 5는 도 4의 연배열 인쇄 회로 기판을 사용하여 제작한 적층형 반도체 패키지의 일 예를 나타내 보인 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<6> 본 발명은 반도체 패키지 제조에 주로 사용되는 인쇄 회로 기판에 관한 것으로서, 특히 대칭적인 레이아웃 구조를 갖는 연배열 인쇄 회로 기판에 관한 것이다.

<7> 최근 멀티미디어의 확대, 디지털 기술의 발달 등의 추세에 맞추어서 반도체 패키지 제품들은 점점 대규모화, 대용량화, 고속 동작화, 다기능화, 소형화, 저소비 전력화 등의 기능들을 요구받고 있는 실정이다. 이와 같은 요구에 편승해서, 각각의 응용 분야에 적합한 다품종의 반도체 패키지 제품들을 소량 생산하는 경우가 자주 발생하고 있다. 특히 생산성의 향상을 위

해서는 종래의 단품 인쇄 회로 기판의 사용에서 최근에 연배열 인쇄 회로 기판의 사용으로 전환되고 있는 추세이다. 여기서 연배열 인쇄 회로 기판은, 복수개의 단품 인쇄 회로 기판들이 하나로 연결되어 있는 인쇄 회로 기판을 의미한다.

- <8> 도 1 및 도 2는 종래의 연배열 인쇄 회로 기판의 전면 및 후면을 각각 나타내 보인 도면들이다.
- <9> 도 1 및 도 2를 참조하면, 종래의 연배열 인쇄 회로 기판(100)은, 복수개의 단품 인쇄 회로 기판들(110, 120, ...)들이 연결된 구조를 갖는다. 첫 번째로 배치된 인쇄 회로 기판(110)은 전면(111) 및 후면(112)을 갖는다. 전면(111) 및 후면(112)에는 각각 복수개의 전면 칩 부착 영역들(111a) 및 복수개의 후면 칩 부착 영역들(112a)이 배치된다. 인쇄 회로 기판(110)과 나란하게 연결되도록 배치된 인쇄 회로 기판(12)도 또한 전면(121) 및 후면(122)을 갖는다. 이 경우에도 전면(121) 및 후면(122)에 각각 복수개의 전면 칩 부착 영역들(121a) 및 복수개의 후면 칩 부착 영역들(122a)이 배치된다. 이때 전면 칩 부착 영역들(111a, 121a, ...)에서의 레이아웃과 후면 칩 부착 영역들(112a, 122a, ...)에서의 레이아웃 구조는 서로 다르다.
- <10> 이와 같은 종래의 연배열 인쇄 회로 기판(100)을 사용하여 반도체 패키지를 제조하기 위해서는, 우선적으로 연배열 인쇄 회로 기판(100)에 반도체 부품을 부착

시킴을 위한 표면 실장 공정을 수행하여야 한다. 이 표면 실장 공정은 표면 실장 장비를 사용해서 수행한다. 이 표면 실장 장비에는 스크린 프린터, 납 도포 검사기, 칩 마운터, 마운터 검사기, 리플로우 설비 등의 단위 설비들이 포함된다. 그런데 종래의 연배열 인쇄 회로 기판(100)의 경우, 전면(111, 121, ...)에 대한 표면 실장 공정을 수행한 후에, 후면(112, 122, ...)에 대한 표면 실장 공정을 수행하기 위해서는, 변경된 레이아웃 구조에 따라 표면 실장 장비의 일부 단위 설비를 변경하여야 한다는 번거로움이 따른다. 이는, 앞서 언급한 바와 같이, 종래의 연배열 인쇄 회로 기판(100)의 전면 칩 부착 영역들(111a, 121a, ...)에서의 레이아웃과 후면 칩 부착 영역들(112a, 122a, ...)에서의 레이아웃 구조가 다르기 때문이다.

<11> 이와 같은 번거로움은, 특히 만들고자 하는 반도체 패키지가 적층형인 경우, 즉 여러 개의 반도체 패키지가 여러 층으로 배치되어 하나의 반도체 패키지로 동작하는 경우 더 심각해진다. 이 경우, 인쇄 회로 기판의 전면 및 후면에 대한 표면 실장 공정을 수행할 때마다 표면 실장 설비를 교체하여야 하고, 이와 같은 표면 실장 설비의 교체가 각 층에 대해 모두 적용되므로 표면 실장 설비의 교체 회수가 크게 증가한다.

【발명이 이루고자 하는 기술적 과제】

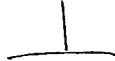
<12> 본 발명이 이루고자 하는 기술적 과제는, 연배열 인쇄 회로 기판의 전면 및 후면에 대한 표면 실장 공정시 표면 실장 설비의 교체가 불필요하도록 하는 대칭적인 레이아웃 구조를 갖는 연배열 인쇄 회로 기판을 제공하는 것이다.

【발명의 구성 및 작용】

<13> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 연배열 인쇄 회로 기판은, 복수개의 단위 인쇄 회로 기판들이 제1 방향으로 나란하게 연결되고, 각각의 단위 인쇄 회로 기판들

의 양 표면 위에는 레이아웃이 서로 다른 전면 칩 부착 영역과 후면 칩 부착 영역이 구비된 연배열 인쇄 회로 기판에 있어서, 상기 단위 인쇄 회로 기판의 일 표면 위에 상기 전면 칩 부착 영역과 상기 후면 칩 부착 영역이 교대로 배치되며, 상기 단위 인쇄 회로 기판에서의 전면 칩 부착 영역과 후면 칩 부착 영역의 배치가 인접한 다른 단위 인쇄 회로 기판에서의 전면 칩 부착 영역과 후면 칩 부착 영역의 배치와 상호 대칭이 되도록 이루어진 것을 특징으로 한다.

<14> 상기 연배열 인쇄 회로 기판은, 적어도 2개 이상이 수직으로 배치되는 적층형 반도체 패키지에 사용 가능한 것인 것이 바람직하다.

<15> 이 경우 상기 적층형 반도체 패키지에 사용될 층별 인쇄 회로 기판들은, 상기 제1 방향과 수직인 제2 방향으로 나란하게 연결되는 것이 바람직하다. 

<16> 또한 상기 층별 인쇄 회로 기판들에서의 전면 칩 부착 영역과 후면 칩 부착 영역의 배치는 동일한 것이 바람직하다.

<17> 이하 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다.

<18> 도 3은 본 발명의 일 실시예에 따른 연배열 인쇄 회로 기판을 나타내 보인 도면이다.

<19> 도 3을 참조하면, 상기 연배열 인쇄 회로 기판(300)은, 복수개의 단위 인쇄 회로 기판들(310, 320, 330, ...)이 순차적으로 나란하게 연결된 구조를 갖는다. 즉 제1 단위 인쇄 회로 기판(310)의 우측 단면과 제2 단위 인쇄 회로 기판(320)의 좌측 단면이 서로 연결되고, 마찬가지로 제2 단위 인쇄 회로 기판(320)의 우측 단면과 제3 단위 인쇄 회로 기판(330)의 좌측 단면이 서로 연결된다.

- <20> 가장 좌측에 배치된 제1 단위 인쇄 회로 기판(310)의 표면에는 복수개의 칩 부착 영역들(311, 312)이 형성된다. 이 복수개의 칩 부착 영역들(311, 312)은 전면 칩 부착 영역(311)과 후면 칩 부착 영역(312)을 모두 포함한다. 전면 칩 부착 영역(311)과 후면 칩 부착 영역(312)에서의 레이아웃은 각각 다르다. 배열하는 방법은, 전면 칩 부착 영역(311)과 후면 칩 부착 영역(312)이 교대로 위치되도록 한다.
- <21> 제2 단위 인쇄 회로 기판(320)의 경우, 제1 단위 인쇄 회로 기판(310)과는 대칭이 되도록 후면 칩 부착 영역(322)과 전면 칩 부착 영역(321)을 배치시킨다. 즉 제1 단위 인쇄 회로 기판(310)에서의 전면 칩 부착 영역(311)과 같은 위치에는 후면 칩 부착 영역(322)을 배치시키고, 제1 단위 인쇄 회로 기판(310)에서의 후면 칩 부착 영역(312)과 같은 위치에는 전면 칩 부착 영역(321)을 배치시킨다. 제2 단위 인쇄 회로 기판(320)에 있어서, 제1 단위 인쇄 회로 기판(310)과 마찬가지로, 전면 칩 부착 영역(321)에서의 레이아웃과 후면 칩 부착 영역(322)에서의 레이아웃은 서로 다르다.
- <22> 또한 제1 단위 인쇄 회로 기판(310)의 전면 칩 부착 영역(311)과 제2 단위 인쇄 회로 기판(320)의 전면 칩 부착 영역(321)의 레이아웃도 또한 서로 다르다. 마찬가지로 제1 단위 인쇄 회로 기판(310)의 후면 칩 부착 영역(312)과 제2 단위 인쇄 회로 기판(320)의 후면 칩 부착 영역(322)의 레이아웃도 또한 서로 다르다.
- <23> 이와 같은 방식에 의해서, 도면에 더 이상 나타내지는 않았지만, 제2 단위 인쇄 회로 기판(320)에 연속되게 연결된 다음 단위 인쇄 회로 기판의 경우, 제2 단위 인쇄 회로 기판(320)과는 대칭이 되도록, 즉 제1 단위 인쇄 회로 기판(310)과 동일하게 배치되는 칩 부착 영역들을 갖는다. 이와 같은 구조의 연배열 인쇄 회로 기판(300)을 사용하여, 반도체 패키지를 제조하

기 위한 표면 실장 공정을 수행하는데 있어서, 실장 대상의 좌표 및 배열이 동일하기 때문에 표면 실장 장비의 교체 회수를 감소시킬 수 있다.

<24> 도 4는 본 발명의 다른 실시예에 따른 연배열 인쇄 회로 기판을 나타내 보인 도면이다.

<25> 도 4를 참조하면, 본 실시예에 따른 연배열 인쇄 회로 기판(400)은 적층형 반도체 패키지 제조에 사용되는 연배열 인쇄 회로 기판이다. 즉 1층 반도체 패키지에 사용되는 1층 연배열 인쇄 회로 기판(A), 2층 반도체 패키지에 사용되는 2층 연배열 인쇄 회로 기판(B), 및 3층 반도체 패키지에 사용되는 3층 연배열 인쇄 회로 기판(C)이 순차적으로 연결된다. 구체적으로, 1층 연배열 인쇄 회로 기판(A)의 하부면은 2층 연배열 인쇄 회로 기판(B)의 상부면과 연결되고, 다시 2층 연배열 인쇄 회로 기판(B)의 하부면은 3층 연배열 인쇄 회로 기판(C)의 상부면과 연결된다. 비록 도면에는 3층 반도체 패키지 제조에 사용되는 연배열 인쇄 회로 기판(400)만이 도시되었지만, 이는 단순히 일 예로서 4층 이상의 연배열 인쇄 회로 기판에 대해서도 동일하게 적용할 수 있다는 것은 당연하다.

<26> 1층 연배열 인쇄 회로 기판(A)은, 제1 단위 인쇄 회로 기판(410a), 제2 단위 인쇄 회로 기판(420a) 등 복수개의 단위 인쇄 회로 기판들이 가로 방향으로 나란하게 배치된다. 제1 단위 인쇄 회로 기판(410a) 내에서의 전면 칩 부착 영역(411a) 및 후면 칩 부착 영역(412a)의 배치와, 제2 단위 인쇄 회로 기판(420) 내에서의 전면 칩 부착 영역(421a) 및 후면 칩 부착 영역(422a)의 배치는 서로 대칭이 되도록 한다. 즉, 도면에 도시된 바와 같이, 제1 단위 인쇄 회로 기판(410a)의 경우 좌측에서부터 전면 칩 부착 영역(411a) 및 후면 칩 부착 영역(412a)이 교대로 배치된 구조를 갖지만, 제2 단위 인쇄 회로 기판(420a)의 경우 좌측에서부터 후면 칩 부착 영역(422a) 및 전면 칩 부착 영역(421a)이 교대로 배치된 구조를 갖는다.

<27> 2층 연배열 인쇄 회로 기판(B)도, 제1 단위 인쇄 회로 기판(410b), 제2 단위 인쇄 회로 기판(420b) 등 복수개의 단위 인쇄 회로 기판들이 가로 방향으로 나란하게 배치된다. 제1 단위 인쇄 회로 기판(410b) 내에서의 전면 칩 부착 영역(411b) 및 후면 칩 부착 영역(412b)의 배치와, 제2 단위 인쇄 회로 기판(420) 내에서의 전면 칩 부착 영역(421b) 및 후면 칩 부착 영역(422b)의 배치는 서로 대칭이 되도록 한다. 즉, 도면에 도시된 바와 같이, 제1 단위 인쇄 회로 기판(410b)의 경우 좌측에서부터 전면 칩 부착 영역(411b) 및 후면 칩 부착 영역(412b)이 교대로 배치된 구조를 갖지만, 제2 단위 인쇄 회로 기판(420b)의 경우 좌측에서부터 후면 칩 부착 영역(422b) 및 전면 칩 부착 영역(421b)이 교대로 배치된 구조를 갖는다.

<28> 그리고 3층 연배열 인쇄 회로 기판(C)도, 제1 단위 인쇄 회로 기판(410c), 제2 단위 인쇄 회로 기판(420c) 등 복수개의 단위 인쇄 회로 기판들이 가로 방향으로 나란하게 배치된다. 제1 단위 인쇄 회로 기판(410c) 내에서의 전면 칩 부착 영역(411c) 및 후면 칩 부착 영역(412c)의 배치와, 제2 단위 인쇄 회로 기판(420) 내에서의 전면 칩 부착 영역(421c) 및 후면 칩 부착 영역(422c)의 배치는 서로 대칭이 되도록 한다. 즉, 도면에 도시된 바와 같이, 제1 단위 인쇄 회로 기판(410c)의 경우 좌측에서부터 전면 칩 부착 영역(411c) 및 후면 칩 부착 영역(412c)이 교대로 배치된 구조를 갖지만, 제2 단위 인쇄 회로 기판(420c)의 경우 좌측에서부터 후면 칩 부착 영역(422c) 및 전면 칩 부착 영역(421c)이 교대로 배치된 구조를 갖는다.

<29> 이와 같은 구조를 갖는 연배열 인쇄 회로 기판(400)을 사용하여 반도체 패키지를 제조하는데 있어서, 연배열 인쇄 회로 기판(400)에 적합한 반도체 칩들을 적절한 위치에 부착시키는 표면 실장 공정 수행시, 실장 대상의 좌표 및 배열이 동일하기 때문에 연배열 인쇄 회로 기판(400) 전체에 대한 표면 실장 공정을 수행하는 과정에서 표면 실장 장비의 교체 회수를 감소시킬 수 있다.

<30> 도 5는 도 4의 연배열 인쇄 회로 기판을 사용하여 제작한 적층형 반도체 패키지의 일 예로서, 3층형 반도체 패키지를 나타내 보인 단면도이다. 도 5에서 도 4와 동일한 참조 부호는 동일한 요소를 나타낸다. 또한 참조 부호 "501", "502" 및 "503"은 각각 볼 그리드 어레이 연결부를 나타낸다.

<31> 도 4 및 도 5를 참조하면, 먼저 표면 실장 장비를 사용하여 도 4의 연배열 인쇄 회로 기판(400)에 대한 표면 실장 공정을 수행한다. 표면 실장 공정은 통상의 방법이므로 상세한 설명은 생략하기로 한다. 그러나 도 4의 연배열 인쇄 회로 기판(400)의 표면에서의 칩 부착 영역들에 대한 배치가 대칭적으로 이루어져 있으므로, 1층 연배열 인쇄 회로 기판(A), 2층 연배열 인쇄 회로 기판(B) 및 3층 연배열 인쇄 회로 기판(C)에 대한 반도체 칩 부착 공정을 각각 수행하더라도, 표면 실장 장비의 교체가 불필요하며, 이에 따라 신속하게 표면 실장 공정을 수행할 수 있다.

<32> 표면 실장 공정이 끝나면, 반도체 칩들이 부착된 연배열 인쇄 회로 기판(400)에서, 제1, 제2 및 제3 연배열 인쇄 회로 기판들(A, B, C)을 각각 분리한다. 그리고 도 5에 도시된 바와 같이, 수직으로 배치하여 부착시키고, 최상부의 제3 연배열 인쇄 회로 기판(C)의 표면에는 덮개(510)를 형성하여 반도체 패키지를 외부의 충격 등으로부터 보호되도록 한다.

【발명의 효과】

<33> 이상의 설명에서와 같이, 본 발명에 따른 연배열 인쇄 회로 기판에 의하면, 연배열 인쇄 회로 기판을 구성하기 위하여 상호 연결된 복수개의 단위 인쇄 회로 기판들의 표면에서의 칩 부착 영역들의 배치가 상호 대칭이 되도록 함으로써, 여러 차례 반복적으로 수행되는 표면 실장 공정 과정에서 표면 실장 대상의 단위 인쇄 회로 기판이 변경되더라도 표면 실장 장비를 교

체할 필요가 없으며, 이에 따라 신속한 공정 진행이 가능하여 제품의 원가 감소에 기여할 수 있다는 효과가 제공된다.

<34> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능함은 당연하다.

【특허청구범위】**【청구항 1】**

복수개의 단위 인쇄 회로 기판들이 제1 방향으로 나란하게 연결되고, 각각의 단위 인쇄 회로 기판들의 양 표면 위에는 레이아웃이 서로 다른 전면 칩 부착 영역과 후면 칩 부착 영역이 구비된 연배열 인쇄 회로 기판에 있어서,

상기 단위 인쇄 회로 기판의 일 표면 위에 상기 전면 칩 부착 영역과 상기 후면 칩 부착 영역이 교대로 배치되며, 상기 단위 인쇄 회로 기판에서의 전면 칩 부착 영역과 후면 칩 부착 영역의 배치가 인접한 다른 단위 인쇄 회로 기판에서의 전면 칩 부착 영역과 후면 칩 부착 영역의 배치와 상호 대칭이 되도록 이루어진 것을 특징으로 하는 연배열 인쇄 회로 기판.

【청구항 2】

제1항에 있어서,

상기 연배열 인쇄 회로 기판은, 적어도 2개 이상이 수직으로 배치되는 적층형 반도체 패키지에 사용 가능한 것을 특징으로 하는 연배열 인쇄 회로 기판.

【청구항 3】

제2항에 있어서,

상기 적층형 반도체 패키지에 사용될 층별 인쇄 회로 기판들은, 상기 제1 방향과 수직인 제2 방향으로 나란하게 연결되는 것을 특징으로 하는 연배열 인쇄 회로 기판.

【청구항 4】

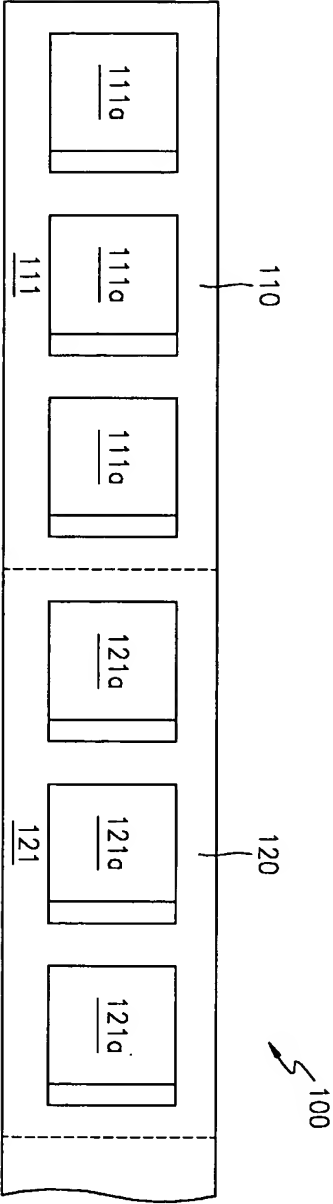
제3항에 있어서,

상기 층별 인쇄 회로 기판들에서의 전면 칩 부착 영역과 후면 칩 부착 영역의 배치는 동일한 것을 특징으로 하는 연배열 인쇄 회로 기판.

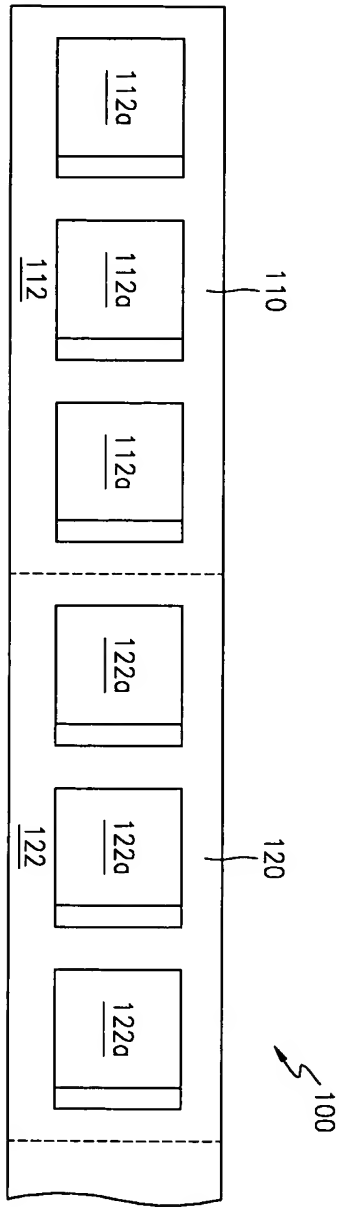


【도면】

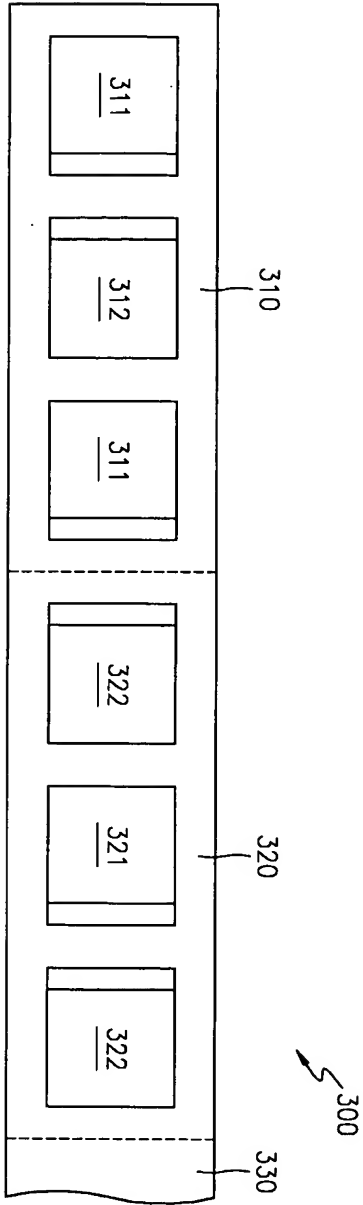
【도 1】



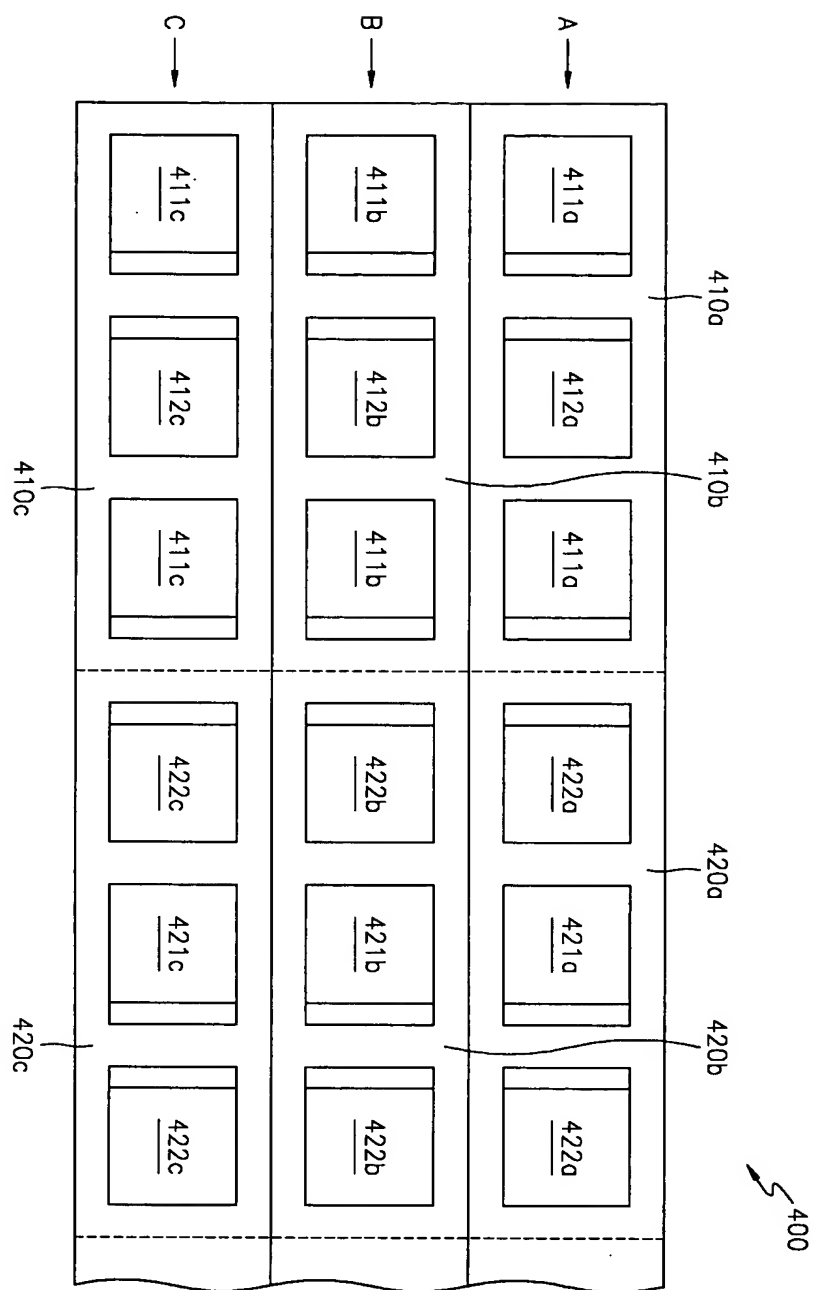
【도 2】



【도 3】



【도 4】



【도 5】

